

# 小型化/モジュール化

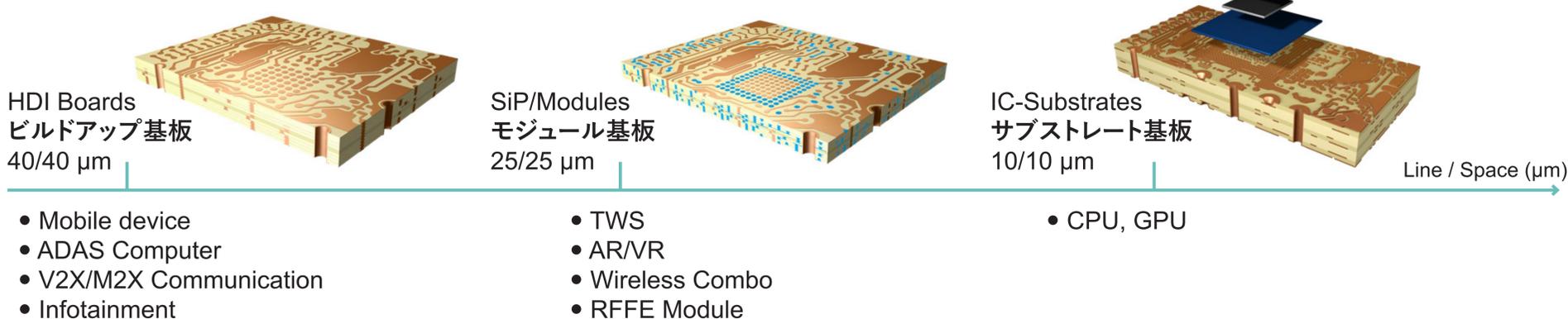
- ハイエンドビルドアップ
- ファインL/S
- 基板サイズ(X,Y)の小型化、薄型化
- 狭ピッチBGA/CSPファンアウト
- 低比誘電率材、低誘電正接材、低熱膨張率材
- 反り対策

Thank you for visiting the AT&S booth. Visit [ats.net](http://ats.net) for more information.



## HDI board, SiP/Modules, IC-Substrates

### ビルドアップ基板、モジュール基板、サブストレート基板

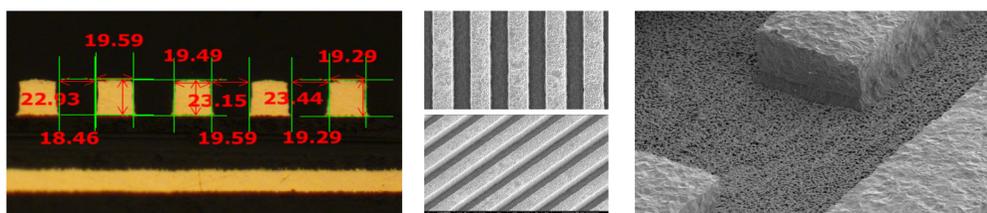


## Subtractive vs mSAP vs ETS - Capabilities (デザインルール)

Technology	Subtractive process	mSAP	ETS
Status (対応可否)	量産対応可	量産対応可	開発中
Laser pad size (レーザーパッド径)	110 μm	90 μm	80 μm
Line width / spacing (ライン/スペース)	@Cu=15μm	35/35 μm	25/25 μm (量産対応可)
	@Cu=30μm	30/40 μm	20/20 μm (試作)
Line geometry (パターン断面イメージ)			
Min. copper thickness (最小銅厚)	10 μm	12 μm	15 μm
Min. dielectric thickness (最小絶縁厚)	20 μm	20 μm	35 μm
Min. soldermask thickness (最小ソルダーマスク厚)		10 μm	
Low Dk / Df material (低比誘電率材/低誘電正接材)		Dk=3.4 / Df=0.004	
Technology combination (対応可能技術)	Coreless, Laser trench, 2.5DC, 2.5DR, ECP		Coreless (only), Laser trench

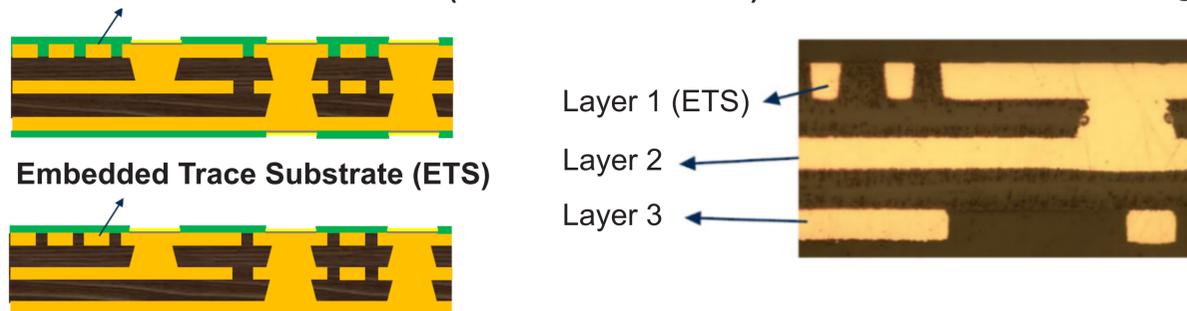
## Cross-section (断面写真)

Cross-section (mSAP on outerlayer) / (表層mSAP)



mSAP工法の利点  
設計されたパターンを忠実に再現可能な配線形状が実現可能です。

Standard Coreless Substrate / (コアレスサブストレート) ETS Structure after etching



ETS (Embedded Trace Substrate)工法の利点  
表層の配線を絶縁層に埋め込むことで、より微細なL/Sを実現します。